

# DDR3メモリテクノロジー

## 技術概要

### 目次

概要.....	2
DDR3アーキテクチャー.....	2
DDR3 DIMMのタイプ.....	2
DDR3メモリの速度.....	2
メモリの電力消費量.....	3
コアDDR3テクノロジー.....	4
フライバ이트ポロジ.....	4
オンダイターミネーション.....	6
RDIMMのアドレスパリティチェック.....	6
DIMM温度センサー.....	6
DDR3メモリとNUMAシステムアーキテクチャー.....	7
古いサーバーアーキテクチャー.....	7
DDR3と新しいシステムアーキテクチャー.....	8
DDR3のメモリスループット.....	9
DDR3のレイテンシ.....	10
DDR3メモリによる最適なパフォーマンスの実現.....	10
システムスループットの最大化.....	10
メモリレイテンシの最小化.....	11
バランスの取れたメモリ構成の使用.....	11
まとめ.....	11
詳細情報.....	12
コメント送信のお願い.....	12



## 概要

DDR3では、DDR2メモリのパフォーマンスと容量を改善するさまざまなテクノロジーが使用されています。この技術概要書では、DDR3メモリで使用されているコアテクノロジーと、分散メモリコントローラーおよびオンプロセッサメモリコントローラーを使用した新しいサーバーアーキテクチャーへのDDR3メモリの統合について詳しく説明します。本紙は、DDR3メモリテクノロジーを理解する必要のあるテクニカルプロフェッショナルを対象としています。

## DDR3アーキテクチャー

DDR3は、以前のDDR実装と同じ基本DRAM構成およびアーキテクチャーを使用しています。基本DIMMは、72ビット(64データおよび8 ECC)を並行してCPUへのメモリバスに提供する9個または18個のDRAMのランクから構成されます。DDR3は、1つの特定のメモリチャネルに対し、最大8つのメモリバンクのアドレッシングをサポートしています。個々のDIMMモジュールは、これらのDRAMの1、2、または4ランクをサポートし、一般にシングルランクDIMMモジュール、デュアルランクDIMMモジュール、またはクアッドランクDIMMモジュールと呼ばれるものを形成するように設計されています。DIMMの総容量は、使用されるDRAMの容量と、それに含まれるランク数によって決まります。DDR3の規格では、最大8Gigabit DRAMまで定義されており、これは1枚のDDR3クアッドランクDIMMで最終的に64GBの容量を実現できることとなります。

### DDR3 DIMMのタイプ

DDR3は、アンバッファードDIMMとレジスタ付きDIMMの両方をサポートしています。フルバッファードDIMM(FBDIMM)は、DDR3では実装されていません。アンバッファードDIMM(UDIMM)では、すべてのアドレス信号と制御信号、およびデータラインが、DIMMコネクタを介してメモリコントローラーに直接接続されます。メモリチャネルにUDIMMが追加されるごとに、電力負荷が増加します。その結果、DDR3ベースのメモリコントローラーが1つのメモリチャネルでサポートできるのは最大2つのデュアルランクUDIMMまでとなります。

レジスタ付きDIMM(RDIMM)は、DRAMとメモリコントローラー間のアドレス信号とコマンド信号をバッファードするためにDIMMにレジスタを追加することで、電力負荷の問題を解決します。各DIMMのレジスタがDRAMへのアドレスバスの電力負荷を担うため、メモリチャネルのアドレス部分の総体的な負荷は削減されます。RDIMMからのデータは、引き続き、メモリバスのデータ部分を介して72ビット(64データ+8 ECC)として並行して配信されます。RDIMMでは、各メモリチャネルが最大3つのデュアルランクDDR3 RDIMMまたは2つのクアッドランクRDIMMをサポートできます。

フルバッファードDIMM(FBDIMM)では、すべてのメモリ信号(アドレス、制御、データを含む)を各DIMMに搭載されたアドバンスドメモリバッファード(AMB)チップを通じてバッファードする必要があります。信号は集約され、メモリコントローラーとAMB間的高速シリアルリンクを介して送信されます。FBDIMMでは、メモリコントローラーは、メモリDRAMに直接書き込みません。この操作は、AMBによって実行されます。

FBDIMMアーキテクチャーは、主に、より多くのDIMMを各メモリチャネルに搭載できるようにすることで、サーバーシステムの最大メモリを増やすことを目的に設計されています。この柔軟性は、それなりの犠牲を伴います。

FBDIMMは、製造コストが比較的高く、DIMMあたり3~4ワット以上の電力を消費し、他のDIMMに比べレイテンシも長くなります。新しいNUMAシステムアーキテクチャーは、個別のメモリコントローラーと複数のメモリチャネルを各プロセッサに配置することで大きいサイズのメモリをサポートし、単一のチャネルで多数のDIMMをサポートする必要をなくします。結果として、業界では、DDR3向けにFBDIMMを採用しませんでした。

### DDR3メモリの速度

DDR3メモリは、DDR2メモリに比べかなり高速な動作周波数とデータ転送レートを備えています。DDR3仕様では、データレートは最大1600メガ転送/秒(MT/s)と定義されており、これはもっとも速いDDR2メモリ速度の2倍に相当します(表1)。

表1. DDR3メモリの速度

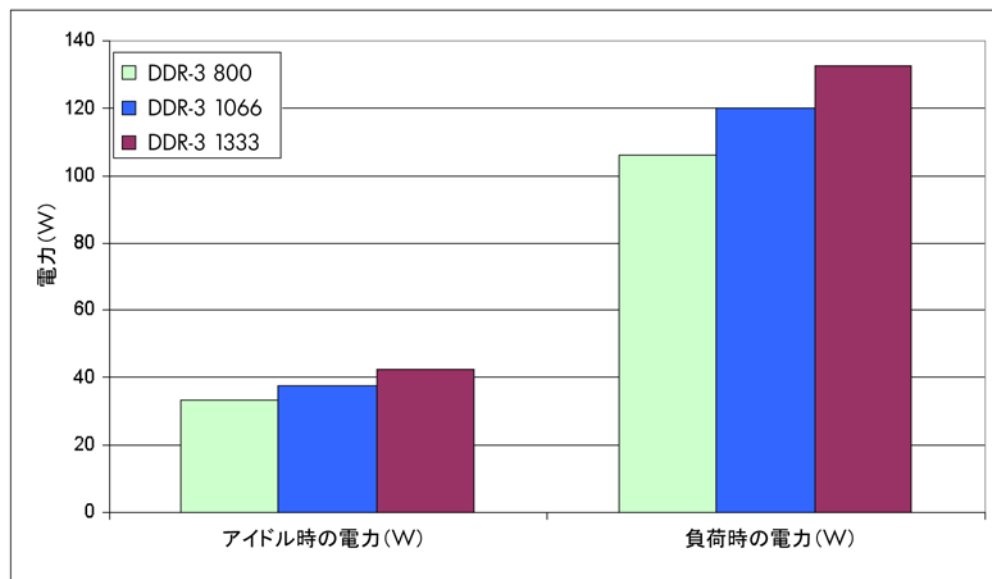
JEDEC名	一般名	データ転送速度	最大DIMMスループット
PC3 – 12800	DDR3-1600	1600MT/s	12.8GB/s
PC3 – 10600	DDR3-1333	1333MT/s	10.6GB/s
PC3 – 8500	DDR3-1066	1066MT/s	8.5GB/s
PC3 – 6400	DDR3- 800	800MT/s	6.4GB/s

DDR3のより高速なデータ転送レートの結果、可能な最大スループットレートはDDR2に比べ大幅に向上しています。最大帯域幅は、データが転送サイクルごとに転送される際に、メモリコントローラーとDIMM間を移動可能なデータ総量を表しています。DDR3-1333メモリでは、メモリチャネルあたりの最大帯域幅は10.6GB/sです。

### メモリの電力消費量

DDR3は、DDR2メモリより電力効率が高くなるように設計されています。DDR2メモリが1.8Vで動作するのに対し、DDR3 DIMMは1.5Vで動作します。また、DDR3は1.35Vで動作する低電圧DIMMにも対応しており、さらに電力消費量を低減できます。図1は、12枚のDIMM(DDR3メモリ)構成時における異なるメモリ速度でのアイドル時と負荷時の電力消費量を示しています。

図1. メモリ速度別の電力消費量(12枚の4GBデュアルランクRDIMMを使用)



1333MT/sで稼働するDDR3メモリは、800MT/sで稼働する同じメモリに比べ約25%多く電力を使用します。一般的なガイドラインとして、同じ速度(800MT/s)で稼働している場合、DDR3メモリの使用電力はDDR2メモリに比べ約30%少なくなります。1333MT/sでは、DDR3の使用電力はDDR2メモリとほぼ同じですが、最大帯域幅が改善されます。

また、DDR3には、さらにメモリ電力消費量を削減するためにメモリコントローラーが使用できる2つの電力節約モードとして、CKEパワーダウンモードとセルフリフレッシュモードがあります。CKEパワーダウンでは、メモリコントローラーは、保留中のメモリ操作のキューを先読みします。特定のDIMMに対して何もスケジュールされていない場合は、それを低電力状態にし、リフレッシュ時のみ状態復帰します。さらに電力を節約するため、メモリコントローラーは、システムCPUがパワーダウン状態(IntelプロセッサではC6)になったときは常に、DRAMをセルフリフレッシュモードにします。これが生じた場合、DDR3 DIMMは引き続き低電力状態で、専用のリフレッシュサイクルを実行します。

## コアDDR3テクノロジー

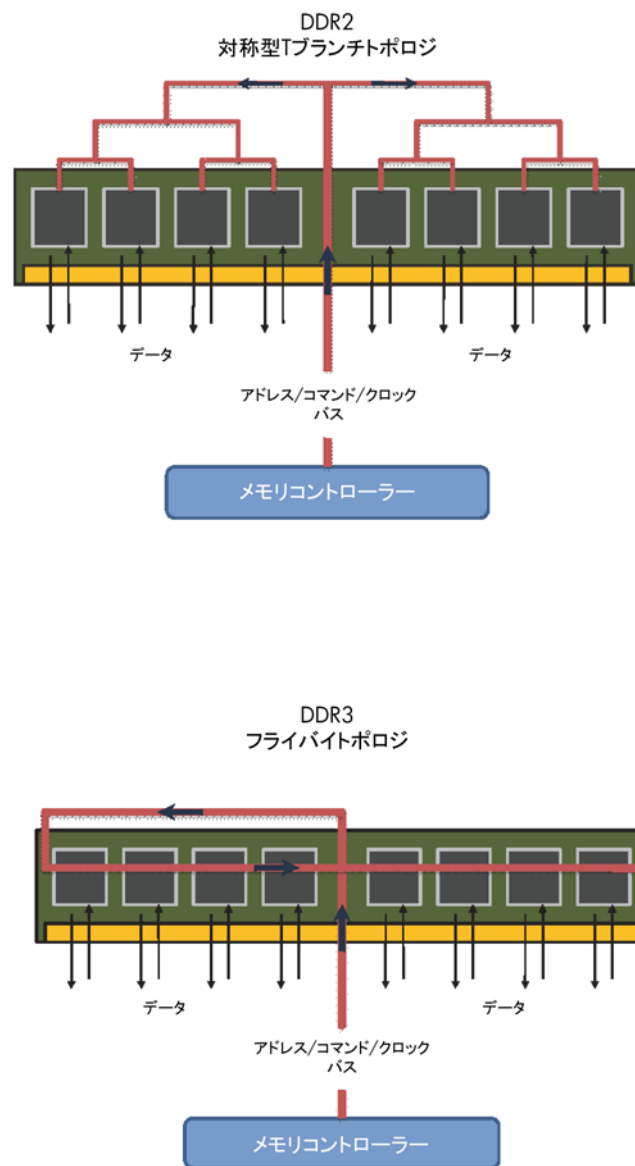
DDR3メモリの仕様では、最大でDDR2メモリの2倍のデータ転送速度が定義されています。これらの速度を実現するには、電気信号の整合性を改善するための高度な技術と、ますます小さくなるタイミングに適応できる新しいテクノロジーが必要でした。また、DDR3では信頼性と管理性を総合的に改善する機能も追加されています。

### フライバイトポロジ

フライバイトポロジは、DDR3 DIMMでDDR2の2倍の速度を実現可能にする主要な技術革新の1つです。一般的には、DIMMモジュール上のDRAMへのアドレスラインとコマンドラインのルーティングと、これを補うメモリコントローラー上のタイミング調整を指しています。フライバイトポロジは、DDR2で使用されているTブランチトポロジと比較すると良く理解できます。

図2は、アドレス信号またはコマンド信号のどちらかがDRAMにどのようにルーティングされるかについて、アンバッファードDDR2 DIMMの場合とDDR3 DIMMの場合を比較したものです。DDR2の対称型Tブランチトポロジは、コマンド信号とアドレス信号がすべてのDRAMに、できるかぎりほぼ同時に到達するように設計されています。その後、すべてのDRAMが(読み取り中に)データをメモリバスに同時に提供することが理想です。この一連の並列ビットは、その後、メモリコントローラーによって読み取られます。データビットが読み取り可能なタイミングは、データアイと呼ばれています。メモリクロック速度が速くなるにつれ、このタイミングを管理することはますます困難になっていきます。

図2. DDR2およびDDR3のアドレス/コマンド信号トポロジ



フライバイトトポロジは、データ信号を各DRAMに同時に配信する必要をなくすことで、より短い時間に縮小されたデータアイの問題を解決します。フライバイトトポロジでは、各コマンド信号とアドレス信号はDRAM 0からDRAM 8への単一のパスに沿ってルーティングされます。このトポロジの方がシンプルなおうえ、信号の整合性を向上させます。ただし、コマンド信号とアドレス信号が同時に各DRAMに到達しないようになっています。信号が時刻NにDRAM 0に到達した場合、その後の信号は、時刻N+1にDRAM 1に、時刻N+2にDRAM 2に到達するといった具合になります。結果として、各DRAMは読み取り時に、わずかな時間差で、そのデータをメモリコントローラーに提供します。

この時間差読取を実現するため、メモリコントローラーは、各DRAMからのビットを適切な遅延インターバルで送出するようにタイミングを調整する必要があります。このプロセスは、リードレベリングと呼ばれています。

また、あるDRAMおよびDIMMから別のDRAMおよびDIMMへのこれらの遅延には、わずかに差異が生じます。メモリコントローラーは、システムが再起動されるたびに、メモリトレーニングと呼ばれるプロセスで、その状態を判別し、その後の動作モードをプログラムする必要があります。メモリへの書き込みの場合は、その結果を利用し、メモリコントローラーは、各DRAMがそれらを受信できる状態になるタイミングに合わせて、異なる一連のデータビットのバスへの提供をおこなっていきます。フライバイポロジは、DDR3メモリのクロックをDDR2の2倍にすることができる主要なテクノロジーです。

## オンダイターミネーション

信号を搬送する電気回路は、電気的な反射を抑制し、全体としての信号の整合性を改善するために、終端抵抗を配置する必要があります。従来のメモリ規格では、メモリはシステムボード上で終端されていました。オンダイターミネーションは、DRAM自体に抵抗器を組み込み、それらをメモリバス回路の終端に配置することで効果を高めています。DDR3では、設定可能な終端値の数がDDR2に比べ大幅に増えています。重要なことは、メモリコントローラーが、DIMMモジュール自体の構成(ランク数)とメモリチャネル上の位置に基づき、POST中に適切な終端値を選んで設定できるということです。これらの改良点はどちらも、より速いDDR3速度をサポートするために必要な信号の整合性の改善に貢献しています。

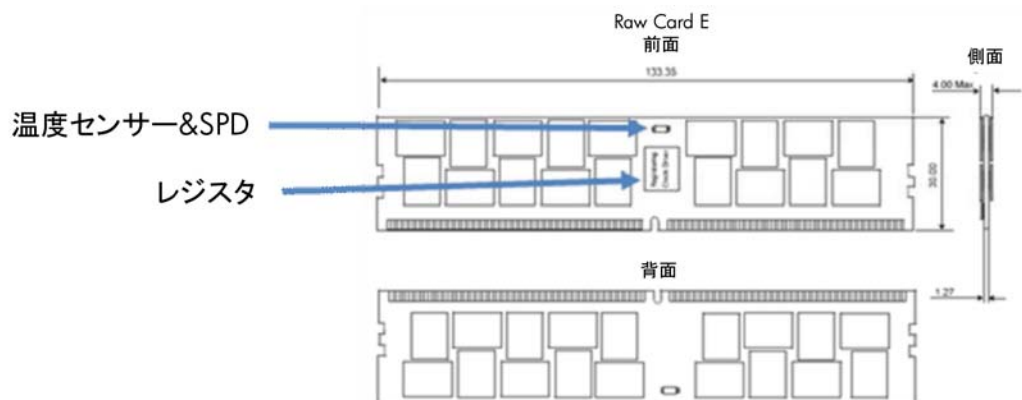
## RDIMMのアドレスパリティチェック

DDR2では、アドレスパリティ検出はオプションの機能でしたが、DDR3では標準です。DDR3 RDIMMでは、レジスタチップがDRAMアドレスラインのパリティチェックを実行します。つまり、メモリコントローラーから受信したパリティビットと比較して、潜在するアドレッシングエラーを検出します。アドレスパリティチェック機能はアドレッシングエラーの内容自体を修正することはできませんが、不正なDRAMアドレスへのデータの書き込みを阻止し、気付かないうちにデータが破壊されることを防ぎます。アンバッファードDIMMでは、レジスタがないため、アドレスパリティチェックをサポートしていません。

## DIMM温度センサー

DDR3メモリには、各DIMMの中央に温度センサーが内蔵されています。これらのセンサーは、0.5°Cの単位で、I2Cバスに読み込まれます(図3)。

図3. DDR3 DIMMと温度センサー



HPのエンジニアは、DIMM上の各DRAMの動作温度を判別するために、広範なモデル化とテストを実施しました。これらの温度値は、3つのファクターを評価することで導出されます。

- DIMMセンサーにより測定された温度
- DIMM上の各DRAMの相対位置
- 特定のサーバーシステム内でDIMMを通るエアフローの方向

これらの情報はすべて、HP ProLiant G6サーバー以降のファン制御テクノロジーに投入されています。このテクノロジーは、発生する可能性のあるシステム障害を防ぎ、過度な冷却をなくすことで電力消費量を削減できる最適な冷却を提供します。

## DDR3メモリとNUMAシステムアーキテクチャー

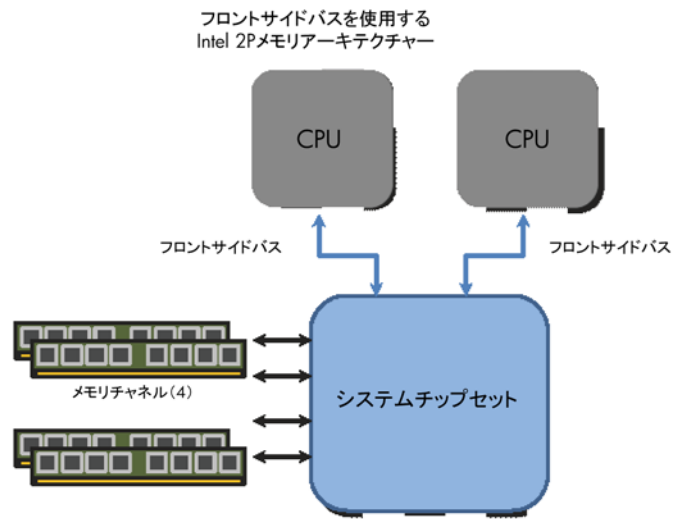
DDR3は、スタンダードオンメモリの仕様です。ただし、サーバー内では、Non-Uniform Memory Access (NUMA) 機能を備えた新しいサーバーアーキテクチャーの進歩に伴いさまざまな手法で利用されています。新しいサーバーアーキテクチャーとDDR3はどちらも、古いアーキテクチャーの下でシステムメモリ容量が増加し続けていたため深刻になりつつあったメモリスループットとレイテンシの問題を解決するための取り組みの一部です。

AMDベースのサーバーでは、初期の段階から、DDR1メモリ、およびその後DDR2メモリでNUMAアーキテクチャーを使用してきました。IntelベースのHP ProLiant G6サーバー以降では、現在、NUMAアーキテクチャーとその他の多数の新機能が組み込まれている新しいインテルXeon®プロセッサ5500番台を使用しています。これらのシステムはすべて、DDR3メモリの採用によって、総合的なスループットを向上させることが期待できます。

### 古いサーバーアーキテクチャー

図4は、2プロセッサ(2P) Intelベースのシステムの以前のアーキテクチャーの概略図です。従来の2Pアーキテクチャーでは、メモリコントローラーとメモリチャンネルがただひとつのシステムチップセットに配置されていました。このアーキテクチャーは、各プロセッサが同じ経路を使用してすべてのシステムメモリにアクセスするユニフォームメモリアccess (Uniform Memory Access) を使用していました。プロセッサは、フロントサイドバスを介してメモリコントローラーと通信します。その後、メモリコントローラーは、メモリチャンネル上のDIMMにアクセスし、要求されたデータをプロセッサに返します。アーキテクチャーは、2つのメモリコントローラー機能をサポートしています。それぞれ2つのメモリチャンネルを管理し、システムあたり合計で4つのメモリチャンネルを提供します。チャンネルあたり最大4つのDDR2 FBDIMMを使用することで、大容量のメモリをサポートしています。

図4. フロントサイドバスを使用するIntel 2Pアーキテクチャー



このアーキテクチャーでは、PC2-6400フルバッファードIMMをサポートするシステムの場合、各メモリチャネルが最大で合計9.6GB/sの帯域幅となります。レジスタ付きDIMMを使用するシステムのメモリチャネルは、最大6.4GB/sの帯域幅をサポートできます。システムあたり4つのメモリチャネルにより、これらのシステムの理論的な最大メモリ帯域幅は、それぞれ、38.4GB/sと25.6GB/sになります。ただし、実現可能なスループットを制限する要素があります。

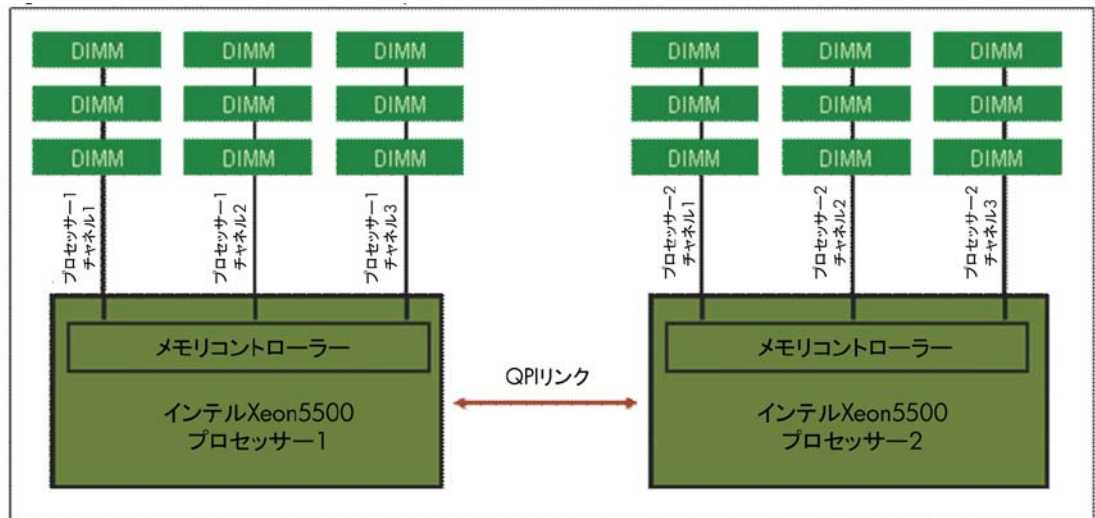
- フロントサイドバスの最大帯域幅がボトルネックとなる
- 大容量のメモリではフルバッファードIMMが必要となるため、メモリレイテンシが長くなり、メモリのスループットとパフォーマンスが低下する

### DDR3と新しいシステムアーキテクチャー

IntelベースのProLiant G6サーバーで採用された新しいNUMAシステムアーキテクチャーでは(図5)、メモリコントローラーとメモリチャネルがプロセッサに統合されています。各プロセッサには、コントローラーごとに単一のチャネルを持つ3つのメモリコントローラーがあり、2Pシステムでは合計2つのメモリコントローラーと6つのメモリチャネルがあります。プロセッサは、システムメモリのそれらに接続された部分に直接アクセスします。さらに、プライマリシステムコンポーネントを接続するQuickPathインターコネクト(QPI)高速シリアルリンクを使用して、他のプロセッサに接続されたシステムメモリにアクセスできます。



図5. インテルXeon 5500番台メモリアーキテクチャー



NUMAアーキテクチャーは、システムの複雑性が高まるにつれ浮上してきた2つの関連する問題を解消する目的で設計されています。

- システムメモリのスループットを制約するメモリサブシステムのボトルネックを無くす
- メモリパフォーマンスを大幅に低下させることなく大容量のメモリをサポートする

このアーキテクチャーにDDR3が組み込まれることで、大幅に改善されたメモリスループットを実現できます。現在の最大転送速度が1333メガ転送/秒 (MT/s) のDDR3メモリは、潜在的に、チャンネルあたり10.6GB/sの帯域幅を提供できます。また、新しいアーキテクチャーはより多くのメモリコントローラーとチャンネルをサポートします。DDR3メモリと6つのチャンネルを使用する新しい2Pアーキテクチャーでは、理論上の最大メモリ帯域幅は64GB/sで、これは、DDR2メモリを使用した古いアーキテクチャーに比べ65%増加しています。

### DDR3のメモリスループット

フロントサイドバスを廃止し、メモリコントローラーをプロセッサ上に移動することで、新しいシステムアーキテクチャーでは、以前のメモリのボトルネックをいくつか排除しています。理論上の最大メモリ帯域幅の64GB/sは、すべてのメモリチャンネルが常時フルスループットで動作しているという理想的なシナリオを前提としているため、実際には達成不可能です。インテルXeonプロセッサ5500番台とDDR3メモリの新しいNUMAアーキテクチャーを使用している2P ProLiant G6サーバーは、実際には、最大40GB/sのメモリスループットを実現できます(表2)。

表2. ProLiant G5およびG6 2Pサーバーの測定されたメモリスループット

	2P ProLiant G5	2P ProLiant G6
理論上の最大メモリ帯域幅	25.6GB/s (RDIMM) 38.4GB/s (FBDIMM)	64GB/s
測定された最大メモリスループット	12GB/s	40GB/s

## DDR3のレイテンシ

メモリレイテンシとは、プロセッサによって要求された後、CPUがメモリコントローラーからデータを受信するまでに要する時間です。これは、メモリサブシステムの応答性を示す重要な基準となります。メモリサブシステムからのデータの取得にはいくつかの手順があり、どの手順も時間がかかり、総合的なレイテンシに関与しています。

- メモリ要求がプロセッサI/Oキュー内とメモリコントローラーへの送信に要する時間
- メモリコントローラーキュー内で費やされた時間
- メモリアドレスバスでのRow Address Select(RAS)コマンドとColumn Address Select(CAS)コマンドの発行
- メモリデータバスからのデータの取得
- メモリコントローラーとI/Oバスを介して、要求元プロセッサの演算装置(ALU)に戻るまでの時間

RASおよびCASの設定により、どのメモリアドレスにアクセスするかが決まります。DRAMの電気特性は、それらを設定するのにそれぞれ約13.5ナノ秒かかり、DDR2メモリとDDR3メモリのどちらでもほぼ同じです。つまり、比較的固定で改善できない27~28ナノ秒のメモリレイテンシが存在します。DDR3では、データレートをより高速化し、UDIMMとRDIMMのみを使用することで、レイテンシの改善を実現しています。

システムのメモリレイテンシには、無負荷時のレイテンシと、負荷時のレイテンシの2つの異なる測定基準があります。システムがアイドル状態のときに測定される、無負荷時のレイテンシは、データをメモリサブシステムから取得できる時間が最短となる可能性があります。無負荷時のレイテンシは、メモリサブシステムのタイミングと電気特性によって決まります。負荷時のレイテンシは、メモリサブシステムがメモリ要求で満杯のときに測定されます。負荷時のレイテンシでは、メモリサブシステム内のメモリコントローラーの数、コントローラーによるキュー内の要求の処理効率、メモリインターリーブなどの多数の追加ファクターが関与します。負荷時のレイテンシは、実世界の環境でのメモリサブシステムの機能をより現実的に表しています。

表3は、異なる2P ProLiantサーバーでのDDR2メモリとDDR3メモリの無負荷時および負荷時のレイテンシの比較を示しています。

表3. DDR2およびDDR3 2Pシステムのメモリレイテンシ

	2P ProLiant G5 667MT/sでのDDR2	2P ProLiant G6 800MT/sでのDDR3	2P ProLiant G6 1333MT/sでのDDR3
無負荷時のレイテンシ	126ns	80ns	70ns
負荷時のレイテンシ	147ns	140ns	100ns

## DDR3メモリによる最適なパフォーマンスの実現

DDR3メモリは、DDR2メモリに比べ大幅に改善されたパフォーマンスを実現できます。新しいNUMAアーキテクチャーでは、DDR3 DIMMをシステム内に搭載する方法が重要となります。

### システムスループットの最大化

システムスループットの最大化の鍵は、できるだけ多数のシステムメモリチャンネルをインストールすることです。これにより、すべてのチャンネルのメモリ帯域幅がシステムで使用可能となるように確保できます。インテルXeonプロセッサ5500番台をベースとする2P ProLiant G6サーバーでは、これは、メモリチャンネルごとに1つずつ、6つ以上のDIMMモジュールをインストールすることを意味しています。

## メモレイテンシの最小化

メモレイテンシ、特に負荷時のメモレイテンシは、最高のデータレート(DDR3の場合、1333MT/s)で実行することで最適化できます。1333MT/sでDDR3をサポートできる新しいシステムの場合、このメモリ速度を達成できるかどうかは、各チャンネルに取り付けられたDIMMの数とランクによって決まります。

## バランスの取れたメモリ構成の使用

ほとんどすべてのアプリケーション環境で、DDR3メモリにとって最適な構成は、メモリチャンネル間とプロセッサ間の両方で搭載されたメモリのバランスを取ることです。1つのプロセッサ上のメモリチャンネル間で搭載されたメモリのバランスを取ると、チャンネルとランクインターリーブが最適化され、最大のメモリスループットが保証されます。

プロセッサ間で搭載されたメモリのバランスを取ると、サーバー上で実行されているすべてのスレッドで一貫したパフォーマンスが保証されます。1つのプロセッサにより多くのメモリが搭載されている場合、そのプロセッサ上で実行されているスレッドは他のプロセッサ上のスレッドに比べパフォーマンスが大幅に高くなります。パフォーマンスのバランスが悪いと、特に仮想化環境では、システム全体のパフォーマンスが低下することがあります。

ホワイトペーパー『HP ProLiant G6サーバーで推奨されるDDR3メモリ構成』([http://h50146.www5.hp.com/products/servers/proliant/whitepaper/wp104\\_09008/](http://h50146.www5.hp.com/products/servers/proliant/whitepaper/wp104_09008/)からダウンロード可能)に、HP ProLiant G6サーバーのDDR3メモリ構成に関する考慮事項が詳しく説明されています。

## まとめ

DDR3は、業界標準サーバーのメモリテクノロジーを前進させるための次の一歩です。それは、DDR2に比べ改善されたメモリ転送速度を提供する目的で設計されています。NUMAアーキテクチャーと組み合わせることで、DDR3は、新しいHP ProLiantサーバーにおけるサーバーメモリスループットとレイテンシの大幅な改善を実現するソリューションの一部となっています。

## 詳細情報

詳細については、次のリソースを参照してください。

リソースの説明	Webアドレス
技術関連のホワイトペーパー HP ProLiant G6サーバーで推奨される DDR3メモリ構成	<a href="http://h50146.www5.hp.com/products/servers/proliant/whitepaper/wp104_09008/">http://h50146.www5.hp.com/products/servers/proliant/whitepaper/wp104_09008/</a>
Memory technology evolution: an overview of system memory technologies	<a href="http://h20000.www2.hp.com/bc/docs/support/SupportManual/c00256987/c00256987.pdf">http://h20000.www2.hp.com/bc/docs/support/SupportManual/c00256987/c00256987.pdf</a>
HP ProLiantサーバーメモリ Webページ	<a href="http://h18004.www1.hp.com/products/servers/options/memory-description.html">http://h18004.www1.hp.com/products/servers/options/memory-description.html</a>

## コメント送信のお願い

詳細については、HP担当者にお問い合わせいただくか、<http://www.hp.com/jp/proliant>をご覧ください。

本紙に関するコメントを[TechCom@HP.com](mailto:TechCom@HP.com)までお送りください。

© 2010 Hewlett-Packard Development Company, L.P. 本書の内容は、将来予告なしに変更されることがあります。HP製品およびサービスに対する保証については、当該製品およびサービスの保証規定書に記載されています。本書のいかなる内容も、新たな保証を追加するものではありません。本書の内容につきましては万全を期しておりますが、本書中の技術的あるいは校正上の誤り、脱落に対して、責任を負いかねますのでご了承ください。

Intel, Intel Celeron, Itanium, Intel Itanium, Pentium、およびIntel Xeonは米国および他の国々におけるIntel Corporationの商標です。

AMD, AMD Athlon, AMD Opteron, AMD Virtualization, ATI HyperMemory, HyperTransport, PCnet、およびそれらの組み合わせは、Advanced Micro Devices, Inc.の商標です。

TC100202TB、2010年5月

